

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-6790

(P2002-6790A)

(43)公開日 平成14年1月11日(2002.1.11)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
|--------------------------------------|-------|---------------|-------------------|
| G 0 9 G 3/20 | 6 1 2 | G 0 9 G 3/20 | 6 1 2 K 2 H 0 9 3 |
| | 6 3 2 | | 6 3 2 C 5 C 0 0 6 |
| | 6 5 0 | | 6 5 0 C 5 C 0 2 0 |
| | 6 8 0 | | 6 8 0 V 5 C 0 5 8 |
| G 0 2 F 1/133 | 5 0 5 | G 0 2 F 1/133 | 5 0 5 5 C 0 6 0 |
| 審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く | | | |

(21)出願番号 特願2000-185393(P2000-185393)

(22)出願日 平成12年6月20日(2000.6.20)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松田 誠司

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 小林 貢

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 100075258

弁理士 吉田 研二 (外2名)

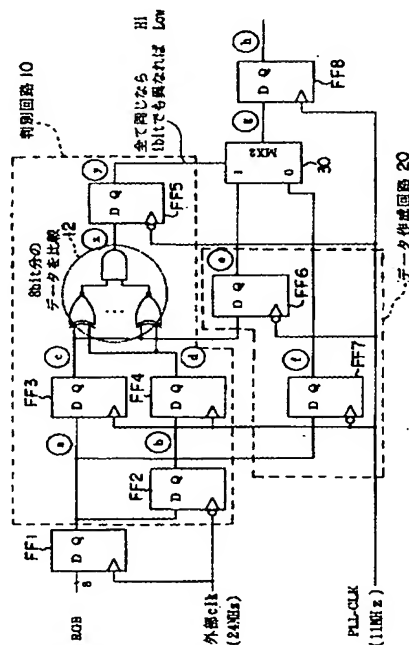
最終頁に続く

(54)【発明の名称】 デジタル表示信号処理回路及びデジタル表示信号処理方法

(57)【要約】

【課題】 入力デジタル表示信号に対する正確な非同期サンプリングを実行すること。

【解決手段】 判別回路10が、入力デジタル表示信号をこれと非同期のPLLクロックの第1エッジで順次ラッチして非遅延サンプリングデータと、入力デジタル表示信号を微小期間遅延させ非同期クロックの第1エッジで順次ラッチして得た遅延サンプリングデータと、を比較して、両データが一致するかどうか判別する。この判別回路10での判別の結果、選択回路30が非遅延及び遅延データの一致期間中には、PLLクロックの第1エッジで順次入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力し、該データの不一致期間中には、PLLクロックの第2エッジで順次入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力する。



【特許請求の範囲】

【請求項1】 入力デジタル表示信号を、該信号のクロックと非同期のクロックを用いてサンプリングする信号処理回路であり、

前記入力デジタル表示信号を前記非同期クロックの第1エッジで順次ラッチして得た非遅延サンプリングデータと、前記入力デジタル表示信号を微小期間遅延させ前記非同期クロックの第1エッジで順次ラッチして得た遅延サンプリングデータと、を比較し、両データが一致するかどうか判別する判別回路と、

前記判別回路での判別の結果、前記データの一致期間中には、前記非同期クロックの第1エッジで順次前記入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力し、前記データの不一致期間中には、前記非同期クロックの第2エッジで順次前記入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力する選択回路と、

を備えることを特徴とするデジタル表示信号処理回路。

【請求項2】 請求項1に記載のデジタル表示信号処理回路において、

さらに、サンプリングデータ作成回路を備え、

また、前記判別回路は、

前記入力デジタル表示信号を微小期間遅延させる遅延回路と、

前記非同期クロックの第1エッジで、順次、非遅延の前記入力デジタル表示信号をラッチする第1サンプリング回路と、

前記非同期クロックの第1エッジで、順次、前記遅延された入力デジタル表示信号をラッチする第2サンプリング回路と、

前記第1サンプリング回路から出力される前記非遅延サンプリングデータと、前記第2サンプリング回路から出力される前記遅延サンプリングデータと、が一致するかどうか比較する比較回路と、を有し、

上記サンプリングデータ作成回路は、

前記非同期クロックの第2エッジで、順次、前記非同期クロックの第1エッジでサンプリングして得た前記非遅延又は遅延サンプリングデータをラッチする第3サンプリング回路と、

前記非同期クロックの第2エッジで、順次、前記入力デジタル表示信号又は前記遅延された入力デジタル表示信号をラッチする第4サンプリング回路と、を備え、

前記選択回路は、前記データの一致期間、前記第3サンプリング回路からのサンプリングデータを出力し、前記データの不一致検出期間、前記第4サンプリング回路からのサンプリングデータを出力することを特徴とするデジタル表示信号処理回路。

【請求項3】 入力デジタル表示信号を、該信号のクロックと非同期のクロックを用いてサンプリングする信号処理方法であり、

前記入力デジタル表示信号を前記非同期クロックの第1エッジで順次ラッチして得た非遅延サンプリングデータと、前記入力デジタル表示信号を微小期間遅延させて前記非同期クロックの第1エッジで順次ラッチして得た遅延サンプリングデータと、を比較して、両データが一致するかどうか判別し、

前記判別の結果、前記データの一致期間中には、前記非同期クロックの第1エッジで、順次、前記入力デジタル表示信号をラッチして得たサンプリングデータを出力

し、前記データの不一致期間中は、前記非同期のクロックの第2エッジで、順次、前記入力デジタル表示信号をラッチして得たサンプリングデータを出力することを特徴とするデジタル表示信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置などに入力されるデジタル表示信号に対する非同期クロックでのサンプリング処理に関する。

【0002】

【従来の技術】デジタルスチルカメラ(DSC)やデジタルビデオカメラ(DVC)用などの急速な普及に伴い、これらのモニタとして小型オーディオビジュアル(AV)用途での液晶表示装置(以下LCD)が急増している。このような小型AV用途でのLCDは、小型である一方で、非常に高精細な映像を表示することが求められている。そこで、RGBの画素の同色同士が、それぞれ隣接する行間で互いの位置から所定ピッチだけずらされて配置されている、いわゆるデルタ配列のLCDパネルを採用し、高精細な映像表示を可能としていることが多い。

【0003】

【発明が解決しようとする課題】デルタ配列パネルでは、同色画素同士が列方向において互いにずれることなく配置されているストライプ配列と比較すると、厳密には水平方向の画素数が少ない。また、特に、上述のDSCやDVCなどの小型AV用途のLCDにおいて採用されるデルタ配列パネルでは、小型化への対応のため、規格よりも少ない様々な画素数が採用されることも多い。

【0004】一方の入力ビデオ信号は規格に従ったものであるため、入力ビデオ信号の水平画素数よりも実パネルの画素数が少ないという状況が考えられる。このような場合、入力ビデオ信号をパネル画素数に応じてサンプリングし直す処理が必要となり、表示装置用信号処理回路に設けられたインターフェース(I/F)部でこのリサンプリング処理を行って、パネル画素数に応じて入力ビデオ信号から画素表示データを作成する。

【0005】ここで、従来の液晶テレビ、ビューファインダ等のように、入力ビデオ信号がアナログ信号であれば、アナログI/F部は、PLL回路等で作成した実画素数に適した周波数のクロックを用いて入力アナログビ

デオ信号をリサンプリングすればよい。

【0006】しかし、上記DSCやDVCのモニタは、入力映像信号がデジタル信号である。デジタルビデオ信号からデルタ配列のLCDパネルに適した表示データを作成する場合にも原理的には、パネル画素数に応じた周波数でデジタルデータをリサンプリング処理すればよいのだが、サンプリングのタイミングが、デジタルデータの変化タイミングに一致した場合には、サンプリングエラーが発生し、正常な表示データが作成できないという問題が生じる。

【0007】図4は、このような入力デジタルビデオ信号をこの信号と非同期のクロックに基づいてリサンプリングした場合に発生する不具合を示している。図4において、(b)が入力デジタルビデオ信号(8ビットデータ)を示しており、(a)は外部入力クロックCLKで、ここでは、入力デジタルビデオ信号と同期したマスタークロックMCLKの4倍の周波数であり、表示信号処理回路内でタイミング信号作成の際に利用される。図4(c)は、PLL回路で作成したPLLクロックで、

入力ビデオ信号のクロックとは非同期で、LCDパネルの水平方向画素数に対応した周波数である。

【0008】上記入力ビデオ信号と非同期のPLLクロックを用い、例えば、このPLLクロックの立ち上がり毎に、Aから順に供給される入力ビデオ信号をラッチしていくと、図4の例では、4番目のPLLクロックの立ち上がりタイミングがデータDとデータEの切り替わりタイミングに重なる。データDとEの変化期間は、図4(f)に示すように、データDとEのどちらがラッチされるか分からない。また、合計8ビットのビデオ信号を例に挙げると、図4(d)に拡大して示すように、各ビット(Data[0]～[7])は、そのデータ遅延量が微妙に異なっているため、図4(e)のタイミングでビデオ信号がラッチされると、データDにもEにも一致しない誤ったデータがラッチされることとなる。いずれのデータにも一致しないこのようなエラーデータが表示部の画素に書き込まれると、対応画素で表示の揺らぎや、ちらつきを生じ、表示品質を低下させる原因になってしまう。

【0009】このような不安定なサンプリングを防ぐ方法として、本出願人は、内部PLLクロックを用いずに入力デジタルビデオ信号に同期した外部入力クロックを利用したリサンプリング処理を提案している。この信号処理方法では、例えば図4(a)の外部入力クロックなどを用いて、一旦入力デジタルビデオ信号をラッチし、得られたラッチデータをパネル画素数に応じて間引き処理する。

【0010】この方法により、画素数に応じた表示データを作成することが可能であるが、アナログの入力ビデオ信号を内部クロックでサンプリングした場合と異なり、間引き処理によって作成された表示データは擬似的

に画素数に対応させたデータに過ぎない。また、入力デジタルビデオ信号のクロックが異なれば、リサンプリングクロックも変化することとなり、場合によっては、間引きタイミングやデータ間引き数などの間引き規則を変更する必要も発生し、インタフェース部の開発、変更に期間を要する。

【0011】上記課題を解決するために、本発明では、入力デジタルデータをこれと非同期でサンプリング可能なデジタル信号処理、例えば、表示装置用において、入力デジタルビデオ信号を、表示パネルの実画素数に応じたクロックによって正確かつ確実にリサンプリングするなどの用途に適した信号処理方法、及び信号処理回路を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するためにこの発明は、以下のような特徴を有する。

【0013】本発明は、入力デジタル表示信号を、該信号のクロックと非同期のクロックを用いてサンプリングする信号処理回路であり、前記入力デジタル表示信号を前記非同期クロックの第1エッジで順次ラッチして得た非遅延サンプリングデータと、前記入力デジタル表示信号を微小期間遅延させ前記非同期クロックの第1エッジで順次ラッチして得た遅延サンプリングデータと、を比較し、両データが一致するかどうか判別する判別回路と、前記判別回路での判別の結果、前記データの一致期間中には、前記非同期クロックの第1エッジで順次前記入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力し、前記データの不一致期間中には、前記非同期クロックの第2エッジで順次前記入力デジタル表示信号をラッチして得たサンプリングデータを選択して出力する選択回路と、を備えることを特徴とする。

【0014】また、本発明では、上記デジタル表示信号処理回路において、さらに、サンプリングデータ作成回路を備え、また、前記判別回路は、前記入力デジタル表示信号を微小期間遅延させる遅延回路と、前記非同期クロックの第1エッジで、順次、非遅延の前記入力デジタル表示信号をラッチする第1サンプリング回路と、前記非同期クロックの第1エッジで、順次、前記遅延された入力デジタル表示信号をラッチする第2サンプリング回路と、前記第1サンプリング回路から出力される前記非遅延サンプリングデータと、前記第2サンプリング回路から出力される前記遅延サンプリングデータと、が一致するかどうか比較する比較回路と、を有する。また、上記サンプリングデータ作成回路は、前記非同期クロックの第2エッジで、順次、前記非同期クロックの第1エッジでサンプリングして得た前記非遅延又は遅延サンプリングデータをラッチする第3サンプリング回路と、前記非同期クロックの第2エッジで、順次、前記入力デジタル表示信号又は前記遅延された入力デジタル表示信号を

ラッチする第4サンプリング回路と、を備え、前記選択回路は、前記データの一致期間、前記第3サンプリング回路からのサンプリングデータを出力し、前記データの不一致検出期間、前記第4サンプリング回路からのサンプリングデータを出力することを特徴とする。

【0015】本発明の他の特徴は、入力デジタル表示信号を、該信号のクロックと非同期のクロックを用いてサンプリングする信号処理方法であり、前記入力デジタル表示信号を前記非同期クロックの第1エッジで順次ラッチして得た非遅延サンプリングデータと、前記入力デジタル表示信号を微小期間遅延させて前記非同期クロックの第1エッジで順次ラッチして得た遅延サンプリングデータと、を比較して、両データが一致するかどうか判別し、前記判別の結果、前記データの一致期間中には、前記非同期クロックの第1エッジで、順次、前記入力デジタル表示信号をラッチして得たサンプリングデータを出力し、前記データの不一致期間中は、前記非同期のクロックの第2エッジで、順次、前記入力デジタル表示信号をラッチして得たサンプリングデータを出力することである。

【0016】以上のような構成の信号処理回路により、また以上のような処理方法を採用することで、各サンプリングの実行及びサンプリングエラーが発生するかどうかの判別は、例えばフリップフロップや、ゲート回路、マルチプレクサなどの組合せにより低コストで、かつ少ない回路素子数で実行できる。さらに、サンプリングエラーが発生すると判断されたら、エラーの発生しないタイミングでサンプリングを実行するので、常時正確に表示データをえることが可能となる。

【0017】

【発明の実施の形態】以下、図面を用いて本発明の好適な実施の形態（以下実施形態）について説明する。

【0018】図1は、本発明に係るデジタル表示信号処理回路を用いた表示装置全体の構成を示している。この表示装置は、上述のようにDSCやDVCなどのデジタルカメラに搭載されるLCDなどの平面表示装置であり、パネル200、デジタル表示信号処理回路100及びPLL回路150を備える。

【0019】本実施形態においてパネル200は、一對の基板間に液晶が封入されて構成されたLCDパネル、特に、DSC、DVC等に適した小型アクティブマトリクス型LCDパネルで、表示領域内において、複数のR、G、B画素がデルタ配列されている。

【0020】デジタル表示信号処理回路100は、外部からのR、G、Bのデジタル表示信号からLCDパネル200での実画素数に応じたアナログ表示データを作成すると共に、必要な各種信号を作成する回路であり、サンプルホールド回路110、 γ 補正、ブライト及びコントラスト調整回路120、図示しないデジタルアナログ(D/A)変換回路、極性反転及び増幅回路130、タ

イミングコントローラ140、対極信号（コモン電極信号）を発生する回路160を備える。

【0021】サンプルホールド回路110はデジタルI/F部に相当し、後述する図2に示すような構成を備え、外部から供給されるR、G、Bそれぞれのデジタル表示信号をLCDパネル200の画素数に応じた周波数でサンプリングし、パネルの実画素数に等しいデジタル表示データを作成する。

【0022】調整回路120は、サンプルホールド回路（デジタルI/F部）110でサンプリングして得たパネル画素数に応じたR、G、B毎のデジタルデータに対し、パネル200の特性に応じて γ 補正、ブライト調整、コントラスト調整を行う。D/A変換回路は、調整回路120での調整処理後のデジタルデータをアナログデータに変換し、得られたアナログデータが回路130において、その極性が1水平走査期間毎、1垂直走査期間毎などに反転され、かつLCDパネル200での表示に適した振幅に増幅され、LCDパネル200に出力される。

【0023】PLL回路150は、LCDパネル200での水平方向画素数に応じた周波数のクロックPLLCLKを発生し、このクロックは、タイミングコントローラ140を介してサンプルホールド回路110に供給される。なお、PLL回路は、通常、位相比較器とループフィルタとVCOを備えており、本実施形態では、このうち位相比較器がタイミングコントローラ140内に設けられている。従って、PLL回路150にはタイミングコントローラ140から位相比較の結果得られる位相検出パルスが供給されている。

【0024】タイミングコントローラ140には、外部入力デジタル表示信号と同期したマスタークロックMCLK、水平同期信号HD、垂直同期信号VDが供給され、これらに基づいて極性反転信号FRP、水平スタートパルスSTH、水平転送クロックCKH、垂直スタートパルスSTV、垂直転送クロックCKVなどのタイミング制御信号を発生し、これを回路130、パネル200の水平及び垂直スキャナに供給する。また、上記PLL回路150が発生した内部クロックPLLCLKをサンプルホールド回路110に供給する。

【0025】対極信号発生回路160は、対極信号（共通電極信号）COMを作成し、これをLCDパネルのTFT形成基板に対向配置される基板に形成された共通電極に供給する。

【0026】LCDパネル200の表示領域には、上述のようにR、G、B画素がデルタ配列されており、各画素には、スイッチ素子として薄膜トランジスタ（TFT）が設けられ、このTFTのオンオフをパネルの行（水平走査）方向に延びるゲートラインで制御する。また上記信号処理回路100のアンプ130から出力されるR、G、Bアナログ表示データが、パネルの列（垂直

走査)方向に延びるデータラインに供給され、このデータラインからTFTを介して各画素に表示データが書き込まれ、画素毎に表示データに応じた表示が行われる。また、表示領域の周辺には、ゲートラインを順に駆動する垂直スキャナと、所定タイミングでデータラインを選択して画素に書き込む表示データを出力する水平スキャナが形成されている。この垂直及び水平スキャナは、表示領域のTFTと同様にパネルの基板に内蔵回路として形成されている構成に限らず、ICとして提供される信号処理回路100の一部に形成したり、或いは独立の回路によって構成していても良い。

【0027】次に、サンプルホールド回路110の構成及びこの回路における入力デジタル表示信号の非同期サンプリング動作について図2及び図3を参照して説明する。

【0028】また、以下において、外部入力デジタル表示信号が、QVGA(Quater VideoGraphics Array)規格[水平320画素×RGB×垂直240]の信号で、この信号のクロック(マスタークロックMCLK)が6MHzであるのに対し、デルタ配列のLCDパネル200における実画素数は、例えば水平521×垂直218、又は水平557×垂直234であり、この実画素数に応じたPLLクロックPLCLKが11MHzである場合を例に説明する。

【0029】図2は、サンプルホールド回路110の構成を示しており、大別して、判別回路10と、データ作成回路20、出力を切り替える選択回路(マルチプレクサ)30を備える。

【0030】判別回路10は、外部入力CLKに基づいて入力デジタル表示信号を微小期間遅延させる遅延回路FF2と、第1サンプリング回路FF3、第2サンプリング回路FF4、エクスクルシブオア(EXOR)ゲートとアンドゲートより構成された比較回路12、比較結果を所定タイミングで選択回路30に出力する判定出力タイミング調整用のフリップフロップFF5を備える。

【0031】また、データ作成回路20は、第3サンプリング回路FF6と、第4サンプリング回路FF7を有し、選択回路30は、判別回路10のFF5のQ端子から出力されるデータ判別結果に応じて、第3サンプリング回路FF6のQ出力と第4サンプリング回路FF7のQ出力のいずれかを選択して出力する。また、選択回路30の出力側には、さらに出力タイミング調整用のFF8が設けられている。

【0032】ここで、LCDパネル200での実画素数に応じてPLL回路で作成されたPLLクロックは、上記第1及び第2サンプリングFF3及びFF4に非反転クロックとして供給され、データ作成回路20の第3及び第4サンプリング回路FF6及びFF7と、タイミング調整用のFF5にそれぞれ反転クロックとして供給さ

れている。

【0033】図3は、このようなサンプルホールド回路110における非同期サンプリング動作を示している。図3において、(II)はR、G、Bの入力デジタルビデオ信号(8ビットデータ)の非遅延信号、(III)は、R、G、Bの入力デジタルビデオ信号を図2の遅延回路FF2で遅延して得た遅延信号であり、図3(I)は、この入力デジタルビデオ信号と同期したマスタークロックMCLKの4倍周波数(24.54MHz)の外部入力クロックCLKである。また、図3(IV)は、PLL回路150で作成したPLLクロックで、入力ビデオ信号のクロックとは非同期で、LCDパネルの水平方向画素数に対応した周波数(11MHz)である。

【0034】判別回路10の第1サンプリング回路FF3のD端子には、判別回路10の前段に存在するFF1から図3(II)に示す入力デジタル表示信号が供給され、第1サンプリング回路FF3は、CK端子に供給される図3(IV)のPLLクロックの立ち上がり(第1エッジ)時に、図3(II)の入力デジタル表示信号をラッチして出力する(図3(V))。

【0035】遅延回路FF2は、上記第1サンプリング回路FF3と同じFF1から出力される入力デジタル表示信号をD端子に受け、この表示信号を図3(I)の外部クロックが立ち下がるタイミングで順次ラッチして出力するので、第2サンプリング回路FF4のD端子には、図3(III)に示すように、第1サンプリング回路FF3のD端子に入力される入力表示信号(非遅延入力表示信号)に対し、外部入力クロックの0.5クロック分遅延した入力デジタル表示信号(遅延入力表示信号)が供給される。なお、この遅延回路は、図2の例ではフリップフロップにより構成しているが、微小期間信号を遅延させることができれば必ずしもフリップフロップに限られず、例えば、バッファによって構成してもよい。遅延回路としてバッファを用いれば、判別回路10に対し、図3(I)の外部クロックを供給する必要はない。本実施形態のようにFFにより遅延回路を構成すれば、外部クロックが必要となるが、遅延量が回路の製造プロセスのバラツキなどの影響を受けにくくできる。

【0036】第2サンプリング回路FF4は、遅延回路FF2から出力される0.5クロック遅延した入力デジタル表示信号を、CK端子に供給されるPLLクロックの立ち上がり(第1エッジ)で順次ラッチして出力する(図3(VI))。

【0037】比較回路12のEXORゲートは、デジタル信号のビット数に応じてここでは8個設けられており、各ゲートにおいて、第1サンプリング回路FF3から出力される図3(V)の非遅延サンプリングデータと、第2サンプリング回路FF4から出力される図3

(VI)の遅延サンプリングデータとを各ビット毎に比較し、2つのデータが一致しない場合にはLレベル、一致

10

20

30

40

50

する場合にはHレベルを出力する。アンドゲートは、ビット分設けられたE XOR出力の論理積をとるので、非遅延サンプリングデータと遅延サンプリングデータとが、全ビットについて一致した時のみHレベル出力、1ビットでも一致しなければLレベル出力を発生する(図3(VI))。

【0038】例えば、図3では、タイミングt1のPLLクロックの立ち上がり時には、図3(II)の非遅延の入力デジタル表示信号がデータAに確定しているの、第1サンプリング回路FF3は、このデータAをラッチ10
することができ、次のt2のPLLクロック立ち上がり時は、データAからデータBへの変化期間に重なっており、正確なデータをラッチすることができず、サンプリング出力はエラー(図3(V)中、xxで示す)となる。また、第1サンプリング回路FF3では、同様のサンプリングエラーがタイミングt4、t11においても発生する。

【0039】一方、第2サンプリング回路FF4では、タイミングt2において、図3(III)の遅延入力デジタル表示信号はまだデータAであるため、データAをサ
20
ンプリングすることができ、同様にタイミングt11においても、第1サンプリング回路FF3でエラーとなるが、第2サンプリング回路FF4では正常にサンプリングが行われる。タイミングt4では、第1サンプリング回路FF3と同様に、サンプリングエラーとなり、タイミングt6、t13では、第1サンプリング回路FF3では正常にサンプリングされるが、第2サンプリング回路FF4では、エラーとなる。

【0040】ここで、第1及び第2サンプリング回路の両方でサンプリングエラーが起きた場合に、各データ8
30
ビットについて比較するので、比較回路12においてエラーデータが全ビットで偶然に一致する可能性は極めて低い。従って、比較回路12からの比較結果は、第1及び第2サンプリング回路FF3、FF4の一方又は両方でサンプリングエラーが発生した場合に、例えばLレベルとなる。また、遅延回路での遅延量を所定の微小量に設定しているので、非遅延表示信号をPLLクロックでサンプリングした結果と、遅延表示信号をPLLクロックでサンプリングした結果とは、第1及び第2サンプリング回路FF3、FF4の両方で正常にサンプリングが
40
行われている場合には一致し、比較回路12からの出力はHレベルとなる(図3(VII))。

【0041】タイミング調整用FF5は、そのCK端子に反転PLLクロックが供給されているので、図3

(X)に示すように、D端子に供給される比較回路12からの比較結果を図3(IV)のPLLクロックの立ち下がり(第2エッジ)タイミングでラッチし、マルチプレクサより構成された選択回路30に供給する。このため、選択回路30での出力選択動作は、PLLクロックの立ち下がりタイミングに同期して制御される(図3

(XI))。

【0042】次に、データ作成回路20での動作について説明する。第3サンプリング回路FF6は、そのD端子に、第1サンプリング回路FF3からの非遅延サンプリングデータ、即ちPLLクロックの立ち上がり(第1エッジ)でサンプリングした入力デジタル表示信号を受けている。そして、CK端子には、下記第4サンプリング回路FF7と同様に、反転PLLクロックを受けており、図3(IV)のPLLクロックの立ち下がり(第2エッジ)で非遅延サンプリングデータを順次ラッチし選択回路30に出力する(図3(VIII))。なお、第3サンプリング回路FF6は、非遅延サンプリングデータをラッチするが、上述のように遅延回路FF2における遅延量は非常に小さいので、遅延サンプリングデータ、つまり第2サンプリング回路FF4の出力をラッチしてもよい。

【0043】第4サンプリング回路FF7は、そのD端子に、図3(II)の非遅延の入力デジタル表示信号を受けており、CK端子には反転PLLクロックを受けている。従って、PLLクロックの立ち下がりタイミング
(第2エッジ)毎に、非遅延の入力デジタル表示信号をラッチし、選択回路30に出力する(図3(IX))。またここでは第4サンプリング回路FF7においても、第3サンプリング回路FF6と同様に、非遅延の入力デジタル表示信号をラッチするが、遅延された入力デジタル表示信号(図3(III))をラッチしてもよい。

【0044】選択回路30は、非遅延サンプリングデータと遅延サンプリングデータが全ビット一致し、Hレベルの判別データが供給された期間、第3サンプリング回路FF6からのサンプリングデータを選択し、これをタイミング調整用FF8に出力する。また、非遅延サンプリングデータと遅延サンプリングデータが1ビットでも一致せず、Lレベルの判別データが供給された期間、第4サンプリング回路FF7からのサンプリングデータを選択し、これをタイミング調整用FF8に出力する。なお、FF8は、CK端子にPLLクロックを受けているので、PLLクロックに同期して、順次第3又は第4サンプリング回路FF6、7のいずれかからのサンプリングデータを表示データとして出力する。

【0045】以上のようにして選択回路30は、判別回路10での判別の結果、データの一致期間中には、実質的には入力デジタル表示信号をPLLクロック立ち上がりタイミングでサンプリングして得たデータを表示データとして出力し、データの不一致期間中には、一致期間とは逆の入力デジタル表示信号をPLLクロック立ち下がりタイミングでサンプリングして得たデータを表示データとして出力する。従って、例えば、図3の例では、タイミングt2、t4、t6、t11及びt13のPLLクロックの立ち上がり時に、入力デジタル表示信号
(遅延又は非遅延)のラッチがエラーとなることが検出

されると、その期間にPLLクロックの立ち上がりタイミングでラッチして得たデータに代えて、0.5クロックずれたPLLクロック立ち下がりタイミングで入力デジタル表示信号をラッチして得たデータを出力する。

【0046】ここで、PLLクロックとの周波数(例えば11MHz)に比較して入力デジタル表示信号のクロックの周波数(例えば6MHz)は十分低く、PLLクロック立ち上がり又は立ち下がりのいずれか一方のタイミングでは、必ず入力デジタル表示信号のデータが確定している関係となっている。従って、PLLクロックの一方のタイミングでサンプリングがエラーになった場合、他方のタイミングでサンプリングしたデータを用いることで、常時、入力デジタル信号を非同期でサンプリングしても正確な表示データを得ることが可能である。

【0047】また、本実施形態では、判別回路10が、非遅延サンプリングデータのエラーだけを検出するのではなく、微小期間遅延させてサンプリングした遅延サンプリングデータとこの非遅延サンプリングデータとの両方を用いてサンプリングエラーの発生を判定する。従って、サンプルホールド回路110内でのデータ処理等に伴う微小な遅延などが生じ、サンプリングタイミングが多少ずれた場合でも、確実に起こりうるサンプリングエラーを未然に防止することができる。

【0048】

*

*【発明の効果】以上説明したように、この発明においては、入力デジタル表示信号に対し、これと非同期クロックで正確なサンプリングを行うことができる。

【0049】またこのような正確な非同期サンプリングを回路規模の小さい簡単な構成で実現でき、小型表示装置などにおいて求められる回路の省スペース化、省電力化などに対応することができる。

【図面の簡単な説明】

【図1】 本発明に係る表示装置の全体構成を示す図である。

【図2】 図1のサンプルホールド回路110の構成を示す図である。

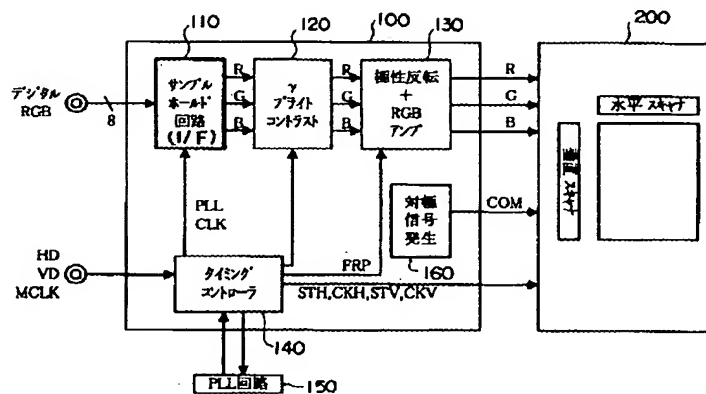
【図3】 図2の回路の動作を説明するタイミングチャートである。

【図4】 従来の入力デジタルビデオ信号処理の不具合を説明する図である。

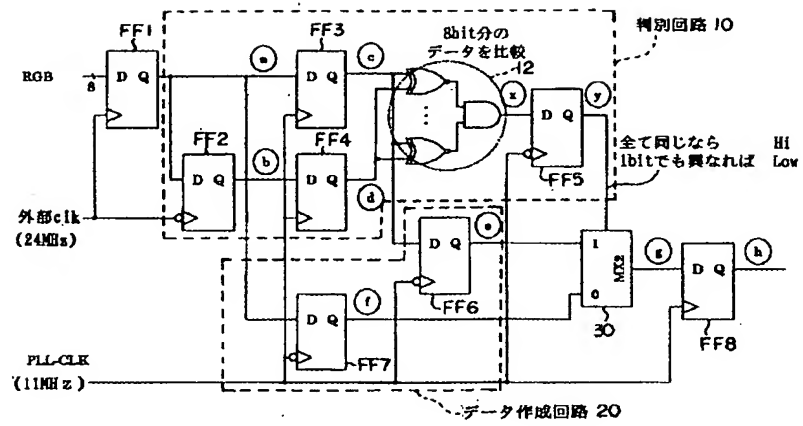
【符号の説明】

10 判別回路、20 データ作成回路、30 選択回路、100 デジタル表示信号処理回路、110 サンプルホールド回路、120 γ 補正、ブライト及びコントラスト調整回路、130 極性反転回路及びアンプ、140 タイミングコントローラ、150 PLL回路、200 LCDパネル。

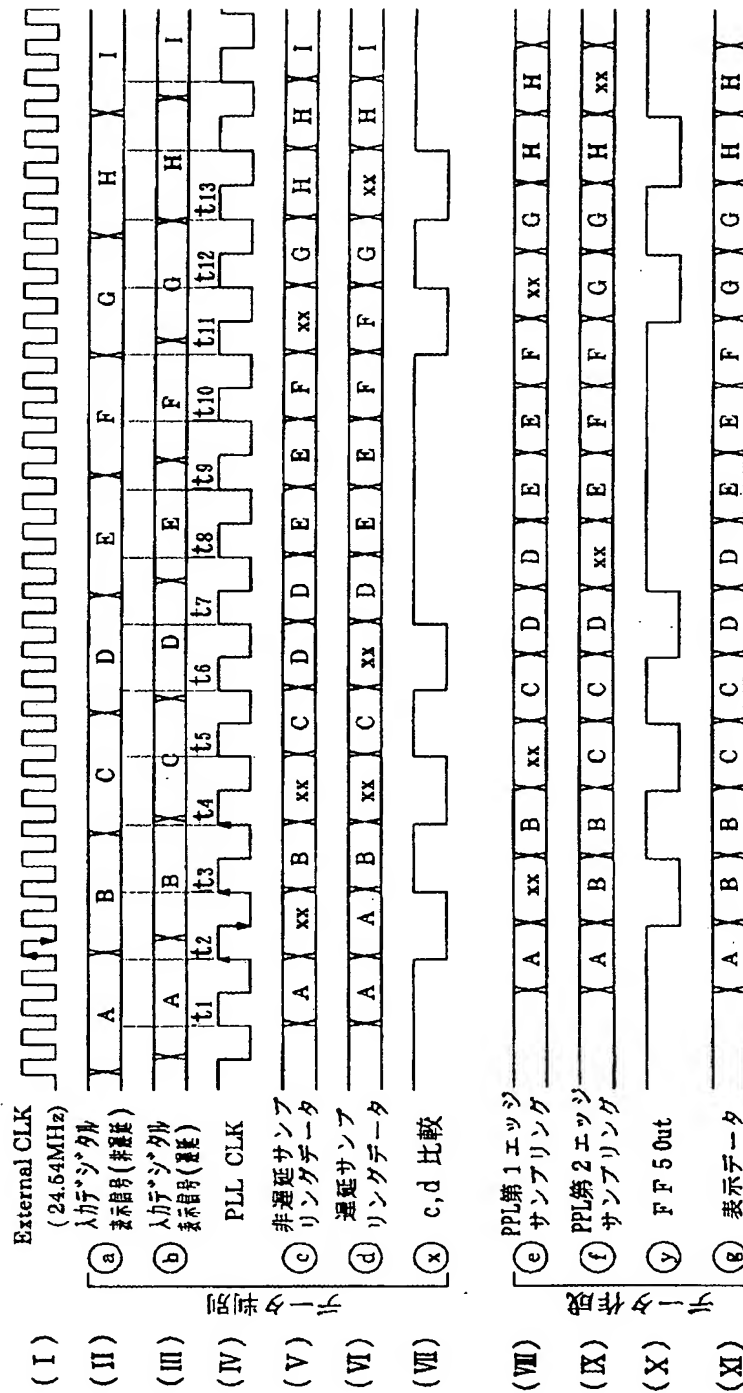
【図1】



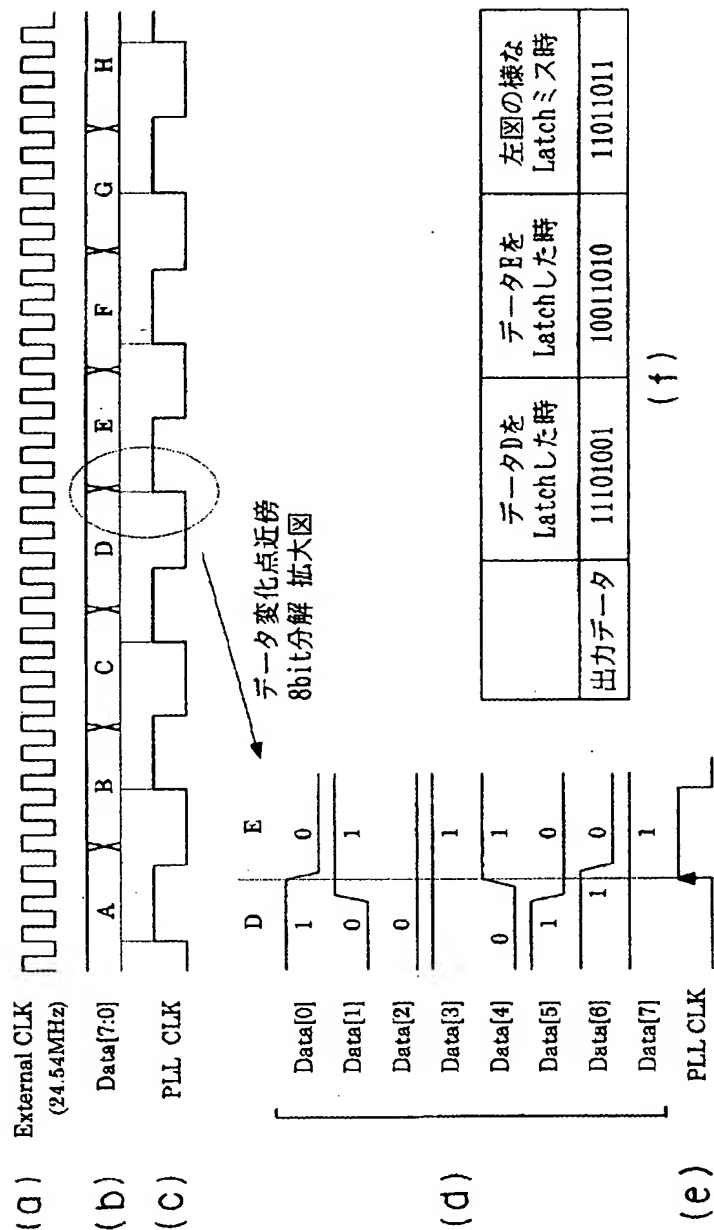
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.

G 0 9 C 3/36
H 0 4 N 5/04
5/66

識別記号

F I

G 0 9 C 3/36
H 0 4 N 5/04
5/66

テーマコード (参考)

5 C 0 8 0

Z
C

102

9/30

F ターム(参考) 2H093 NC21 NC23 NC26 ND37 ND39
ND42
5C006 AA16 AB01 AC21 AF46 AF47
AF72 BB11 BC12 BC16 BF11
FA16 FA43
5C020 AA01 AA35 CA20
5C058 AA06 BA04 BA12 BB19 BB21
5C060 BC01 DA01 HB08 HB09 HB23
5C080 AA10 BB05 DD22 EE21 EE29
FF12 GG07 JJ02 JJ04

102B

9/30